



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08009119 A**

(43) Date of publication of application: 12.01.96

(51) Int. Cl

H04N 1/21

(21) Application number: 06138415

(71) Applicant: **RICOH CO LTD**

(22) Date of filing: 21.06.94

(72) Inventor: **ONO KENICHI**

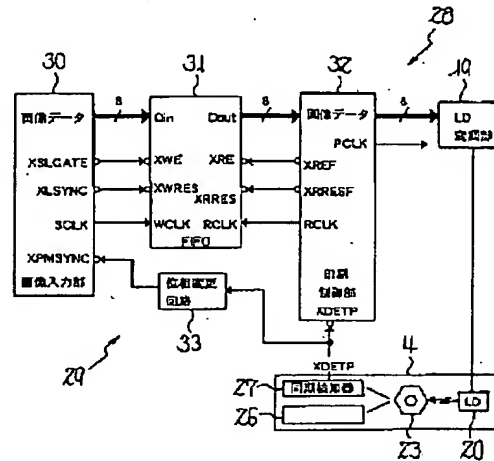
(54) DATA PROCESSOR

(57) Abstract:

PURPOSE: To allow data read from a FIFO memory not to overrun data write by providing a phase variable means to the processing unit so as to vary a phase of a write clock of the FIFO memory and a phase of a read clock relatively.

CONSTITUTION: An image input section 30 being a data write means and a write reset means writes write data Din to a FIFO memory 31 whose capacity is higher than that of one line of image data in response to a write clock SCLK. The data are read as data Dout and fed to a printer 4 in response to a read clock RCLK from a print control section 32 being a data read means and a read reset means. The phase of the clocks SCLK, RCLK is varied relatively by a phase revision circuit 33 and data read will not overrun data write by using one FIFO memory with simple configuration of not using a 2-line FIFO memory.

COPYRIGHT: (C)1996,JPO





(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-9119

(43) 公開日 平成8年(1996)1月12日

(51) Int.Cl.⁶

H04N 1/21

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数8 O L (全13頁)

(21) 出願番号 特願平6-138415

(22) 出願日 平成6年(1994)6月21日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 小野 健一

東京都大田区中馬込1丁目3番6号 株式会社リコー内

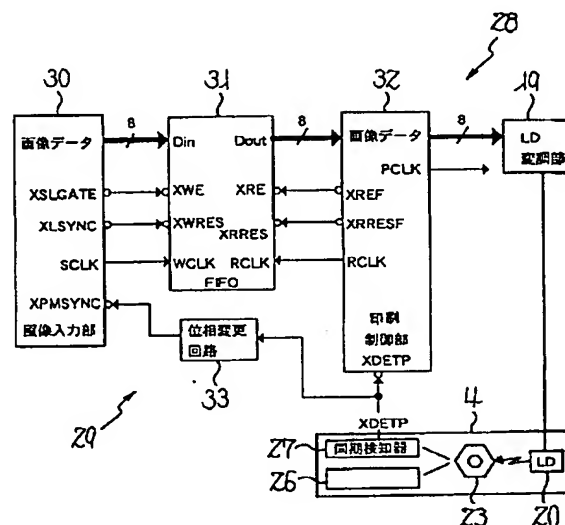
(74) 代理人 弁理士 柏木 明 (外1名)

(54) 【発明の名称】 データ処理装置

(57) 【要約】

【目的】 F I F Oメモリにデータ書込とデータ読出とを同時に独立して実行するデータ処理装置において、一個のF I F Oメモリでデータ読出がデータ書込に追いつかないようにする。

【構成】 データ書込手段30の書込クロックとデータ読出手段32の読出クロックとの位相を相対的に可変する位相可変手段33を設けた。



1

【特許請求の範囲】

【請求項 1】ドットマトリクス画像データの一行以上の記憶容量を具備して書込アドレスに対応したデータ書込と読出アドレスに対応したデータ読出とが同時に独立して実行される F I F O メモリと、書込開始信号から所定周期の書込クロックで書込アドレスを順次インクリメントして前記 F I F O メモリに画像データを書き込むデータ書込手段と、このデータ書込手段とは独立した所定周期の読出クロックで読出開始信号から読出アドレスを順次インクリメントして前記 F I F O メモリから画像データを読み出すデータ読出手段とを具備したデータ処理装置において、前記データ書込手段の書込クロックと前記データ読出手段の読出クロックとの位相を相対的に可変する位相可変手段を設けたことを特徴とするデータ処理装置。

【請求項 2】ドットマトリクス画像データの一行以上の記憶容量を具備して書込アドレスに対応したデータ書込と読出アドレスに対応したデータ読出とが同時に独立して実行される F I F O メモリと、書込開始信号から所定周期の書込クロックで書込アドレスを順次インクリメントして前記 F I F O メモリに画像データを一行ずつ書き込むデータ書込手段と、このデータ書込手段とは独立した所定周期の読出クロックで読出開始信号から読出アドレスを順次インクリメントして前記 F I F O メモリから画像データを一行ずつ読み出すデータ読出手段とを具備したデータ処理装置において、前記 F I F O メモリの書込アドレスをリセットする書込リセット信号を前記データ書込手段の書込開始信号に基づいて出力する書込リセット手段を設け、前記 F I F O メモリの読出アドレスをリセットする読出リセット信号を前記データ読出手段の読出開始信号に基づいて出力する読出リセット手段を設け、前記データ読出手段の読出開始信号を遅延させて前記データ書込手段の書込開始信号として出力する信号遅延手段を設けたことを特徴とするデータ処理装置。

【請求項 3】データ読出手段の読出開始信号と信号遅延手段が遅延させた読出開始信号との論理和を読出リセット信号として F I F O メモリに出力する論理和手段を設けたことを特徴とする請求項 2 記載のデータ処理装置。

【請求項 4】信号遅延手段が遅延させた読出開始信号を予め設定された数回に一回のみデータ書込手段の書込開始信号として出力するカウンタ手段を設けたことを特徴とする請求項 2 記載のデータ処理装置。

【請求項 5】データ読出手段の読出クロックを数分の 1 に分周してから読出アドレスをインクリメントする信号分周手段を設けたことを特徴とする請求項 2 記載のデータ処理装置。

【請求項 6】データ読出手段の読出開始信号でリセットされて前記データ読出手段の読出クロックでカウン

2

値がインクリメントされる読出カウンタを設け、この読出カウンタのカウント値と予め設定された数値とを比較して一致を検知するとデータ書込手段の書込開始信号を出力するカウンタ比較手段を設け、このカウンタ比較手段と前記読出カウンタとで信号遅延手段を形成したことを特徴とする請求項 2, 3, 4 又は 5 記載のデータ処理装置。

【請求項 7】読出カウンタのカウント値と比較するカウンタ比較手段の数値を可変自在に設定する数値設定手段を設けたことを特徴とする請求項 6 記載のデータ処理装置。

【請求項 8】F I F O メモリの書込周波数 f_w ≤ 前記 F I F O メモリの読出周波数 f_r の場合には、データ読出手段が画像データを一行の略中央まで読み出してから F I F O メモリのデータ書込を開始すると共に、データ読出手段が次の一行を終端まで読み出す以前に F I F O メモリのデータ書込を終了し、前記 F I F O メモリの書込周波数 f_w ≥ 前記 F I F O メモリの読出周波数 f_r の場合には、データ読出手段が画像データを一行の終端まで読み出してから F I F O メモリに一行の略半分の書込アドレスでデータ書込を開始すると共に、データ読出手段が次の一行を読み出す以前に F I F O メモリのデータ書込を開始するよう

に、信号遅延手段の遅延時間を設定したことを特徴とする請求項 2 記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像データを F I F O (First In First Out) メモリに書き込んでから読み出すデジタル複写機等のデータ処理装置に関するものである。

【0002】

【従来の技術】データ処理装置の一従来例として、本願人が想定したデジタル複写機を図 8 に基づいて以下に順次説明する。まず、このデータ処理装置であるデジタル複写機 1 は、原稿（図示せず）の印刷画像を読取入力する画像読取部 2 と、この画像読取部 2 で入力される画像データに各種処理を実行する信号処理部 3 と、この信号処理部 3 から出力させる画像データを印刷用紙（図示せず）に印刷出力する画像印刷部 4 とを順次接続した構造となっている。

【0003】より詳細には、前記画像読取部 2 は、コンタクトガラス 5 下に、主走査方向に細長いライン光源 6 と反射ミラー 7 とからなる第一走査ユニット 8 と、一對の反射ミラー 9, 10 からなる第二走査ユニット 11 とを、速度比が二対一となるよう副走査方向に移動自在に支持し、結像光学系 12 と C C D (Charge Coupled Device) センサ 13 とを順次配置した構造となっている。

【0004】また、前記信号処理部 3 は、前記画像読取

50

3

部2のCCDセンサ13に接続されたアンプ14に、A/DC (Analog/Digital Converter) 15、画像データに各種処理を実行する画像処理部16、画像データを一時記憶するバッファメモリ17、データ読出の開始タイミングを制御する印刷制御部18、画像データに基づいて画像印刷部4を駆動制御するLD (Laser Diode) 変調部19等を、順次接続した構造となっている。

【0005】さらに、前記画像印刷部4は、前記信号処理部3のLD変調部19に接続されたLD20の出射光路に、コリメタレンズ21やシリンダ形カルレンズ22を介して主走査方向に回転自在なポリゴンミラー23の反射面を位置させ、このポリゴンミラー23の主走査光路にfθレンズ24や反射ミラー25を介して副走査方向に回転自在な感光ドラム26の被走査面を位置させた構造となっている。なお、この画像印刷部4は、前記ポリゴンミラー23の主走査光が前記感光ドラム26に入射する直前の位置にフォトセンサからなる同期検知器27が配置されており、この同期検知器27の出力端子が前記信号処理部2の印刷制御部18にフィードバック接続されている。

【0006】このような構成において、このデジタル複写機1は、原稿から画像データを画像読取部2で読取入力して画像印刷部4で印刷用紙に印刷出力するようになっており、この過程で画像データを信号処理部3で一時記憶して画像読取部2の入力速度と画像印刷部4の出力速度とを調停するようになっている。

【0007】より詳細には、このデジタル複写機1では、画像読取部2は、コンタクトガラス5に載置された原稿の印刷画像を第一・第二走査ユニット8、11で副走査方向に読取走査して結像光学系12でCCDセンサ13に結像するので、このCCDセンサ13は、副走査方向に連続する主走査ラインとしてドットマトリクスの画像データをラインずつ信号処理部3に出力する。この時、CCDセンサ13は、ラインの画像データをライン同期信号 LSYNCによりアドレスをリセットしてから所定の画素クロックで副走査方向に一画素ずつ出力することになり、この画像データは、第一・第二走査ユニット8、11の走査速度やCCDセンサ13の読取周期などに起因した所定のライン周期で信号処理部3にラインずつ出力される。

【0008】そこで、この信号処理部3では、ラインずつ入力される画像データをアンプ14で増幅してA/DC 15でアナログ値からデジタル値に変換し、画像処理部16で明度補正処理や変倍処理や編集処理などの各種処理を実行してからバッファメモリ17に入力する。すると、後述するように、このバッファメモリ17に、印刷制御部18がタイミング制御信号を出力するので、このタイミング制御信号に従ってバッファメモリ17の画像データが印刷制御部18に読み出される。そこで、この印刷制御部18は、範囲制限やパターン合成などの

4

各種処理を実行してから画像データをLD変調部19に出力するので、このLD変調部19は、画像データに対応して変調する駆動電流を画像印刷部4のLD20に出力することになる。

【0009】そして、この画像印刷部4では、画像データに対応して駆動されるLD20の出射光を各種レンズ21、22で収束してポリゴンミラー23で偏向走査し、この走査光をfθレンズ24で補正して感光ドラム26の副走査方向に移動する被走査面に結像する。そこで、この感光ドラム26の被走査面にドットマトリクスの静電潜像が形成されるので、これをトナー（図示せず）で現像して印刷用紙に転写することで画像印刷が実行される。

【0010】ここで、この画像印刷部4では、ポリゴンミラー23の主走査光が感光ドラム26の直前に入射する同期検知器27が同期検知信号DETPを出力するので、これが入力される信号処理部3の印刷制御部18がバッファメモリ17にタイミング制御信号を出力するようになっている。このようにすることで、信号処理部3のバッファメモリ17で一時記憶された画像データは、画像印刷部4の印刷出力に適正なタイミングで順次読み出されることになる。

【0011】なお、このようなデジタル複写機1は、画像読取部2から信号処理部3に画像データを書き込むことと、この信号処理部3から画像印刷部4に画像データを読み出すこととを連続的に実行するため、信号処理部3のバッファメモリ17を二系統として二ラインの画像データをラインずつ別個に入出力できるようにしている。そこで、一方のバッファメモリ17に一ラインの画像データを書き込んでいる時間に、他方のバッファメモリ17から事前に書き込まれた一ラインの画像データを読み出すようにし、このようなデータ読出とデータ書込とを二系統のバッファメモリ17で交互に実行するようになっている。また、本出願人が提案した方式では、データ書込の切替タイミングより以前にデータ読出が終了するよう設定しているが、これではデータ読出の速度がデータ書込より遅い場合には対応不能である。

【0012】そこで、上述のような課題を解決するため、本出願人が提案した特開平4-170857号公報のデータ処理装置では、バッファメモリを二系統のFIFOメモリとして、データ書込とデータ読出とを非同期に開始して同一周期で実行できるようにし、データ書込よりデータ読出が高速となるようにしている。このようにすることで、一方のバッファメモリにデータ書込とデータ読出とが同時に実行される場合でも、データ書込よりデータ読出が高速なので書込アドレスが読出アドレスに追いついたり追い越すようなことがない。

【0013】

【発明が解決しようとする課題】上述したデータ処理装置では、データ書込とデータ読出とを二系統のバッファ

5

メモリに交互に実行する場合に、一方のバッファメモリにデータ書込とデータ読出とが同時に実行される事態が発生しても、書込アドレスが読出アドレスに追いつくようなことがない。

【0014】しかし、これでは二ラインの画像データが一ラインずつ書き込まれる二系統としてバッファメモリを形成する必要があるため、このバッファメモリの記憶容量が増大してデータ処理装置の小型軽量化や生産性向上が阻害されている。

【0015】

【課題を解決するための手段】請求項1記載の発明は、ドットマトリクス画像データのライン以上の記憶容量を具備して書込アドレスに対応したデータ書込と読出アドレスに対応したデータ読出とが同時に独立して実行されるFIFOメモリと、書込開始信号から所定周期の書込クロックで書込アドレスを順次インクリメントして前記FIFOメモリに画像データを書き込むデータ書込手段と、このデータ書込手段とは独立した所定周期の読出クロックで読出開始信号から読出アドレスを順次インクリメントして前記FIFOメモリから画像データを読み出すデータ読出手段とを具備したデータ処理装置において、前記データ書込手段の書込クロックと前記データ読出手段の読出クロックとの位相を相対的に可変する位相可変手段を設けた。

【0016】請求項2記載の発明は、ドットマトリクス画像データのライン以上の記憶容量を具備して書込アドレスに対応したデータ書込と読出アドレスに対応したデータ読出とが同時に独立して実行されるFIFOメモリと、書込開始信号から所定周期の書込クロックで書込アドレスを順次インクリメントして前記FIFOメモリに画像データをラインずつ書き込むデータ書込手段と、このデータ書込手段とは独立した所定周期の読出クロックで読出開始信号から読出アドレスを順次インクリメントして前記FIFOメモリから画像データをラインずつ読み出すデータ読出手段とを具備したデータ処理装置において、前記FIFOメモリの書込アドレスをリセットする書込リセット信号を前記データ書込手段の書込開始信号に基づいて出力する書込リセット手段を設け、前記FIFOメモリの読出アドレスをリセットする読出リセット信号を前記データ読出手段の読出開始信号に基づいて出力する読出リセット手段を設け、前記データ読出手段の読出開始信号を遅延させて前記データ書込手段の書込開始信号として出力する信号遅延手段を設けた。

【0017】請求項3記載の発明は、請求項2記載の発明において、データ読出手段の読出開始信号と信号遅延手段が遅延させた読出開始信号との論理和を読出リセット信号としてFIFOメモリに出力する論理和手段を設けた。

【0018】請求項4記載の発明は、請求項2記載の発

6

明において、信号遅延手段が遅延させた読出開始信号を予め設定された数回に一回のみデータ書込手段の書込開始信号として出力するカウンタ手段を設けた。

【0019】請求項5記載の発明は、請求項2記載の発明において、データ読出手段の読出クロックを数分の1に分周してから読出アドレスをインクリメントする信号分周手段を設けた。

【0020】請求項6記載の発明は、請求項2、3、4又は5記載の発明において、データ読出手段の読出開始信号でリセットされて前記データ読出手段の読出クロックでカウンタ値がインクリメントされる読出カウンタを設け、この読出カウンタのカウント値と予め設定された数値とを比較して一致を検知するとデータ書込手段の書込開始信号を出力するカウンタ比較手段を設け、このカウンタ比較手段と前記読出カウンタとで信号遅延手段を形成した。

【0021】請求項7記載の発明は、請求項6記載の発明において、読出カウンタのカウント値と比較するカウンタ比較手段の数値を可変自在に設定する数値設定手段を設けた。

【0022】請求項8記載の発明は、請求項2記載の発明において、FIFOメモリの書込周波数 $f_w \leq$ 前記FIFOメモリの読出周波数 f_r の場合には、データ読出手段が画像データをラインの略中央まで読み出してからFIFOメモリのデータ書込を開始すると共に、データ読出手段が次のラインを終端まで読み出す以前にFIFOメモリのデータ書込を終了し、前記FIFOメモリの書込周波数 $f_w \geq$ 前記FIFOメモリの読出周波数 f_r の場合には、データ読出手段が画像データをラインの終端まで読み出してからFIFOメモリにラインの略半分の書込アドレスでデータ書込を開始すると共に、データ読出手段が次のラインを読み出す以前にFIFOメモリのデータ書込を開始するように、信号遅延手段の遅延時間を設定した。

【0023】

【作用】請求項1記載の発明は、データ書込手段の書込クロックとデータ読出手段の読出クロックとの位相を位相可変手段が相対的に可変することにより、FIFOメモリのデータ読出がデータ書込に追いつかないようにする。

【0024】請求項2記載の発明は、FIFOメモリの書込アドレスをリセットする書込リセット信号を書込リセット手段がデータ書込手段の書込開始信号に基づいて出力し、FIFOメモリの読出アドレスをリセットする読出リセット信号を読出リセット手段がデータ読出手段の読出開始信号に基づいて出力し、信号遅延手段がデータ読出手段の読出開始信号を遅延させてデータ書込手段の書込開始信号として出力することにより、FIFOメモリのデータ読出がデータ書込に追いつかないようにする。

7

【0025】請求項3記載の発明は、データ読出手段の読出開始信号と信号遅延手段が遅延させた読出開始信号との論理和を論理和手段が読出しリセット信号としてFIFOメモリに出力することにより、論理和した読出開始信号の個数だけFIFOメモリから画像データの各ラインをデータ読出手段の一ライン周期中に繰り返し読み出す。

【0026】請求項4記載の発明は、信号遅延手段が遅延させた読出開始信号をカウンタ手段が予め設定された数回に一回のみデータ書込手段の書込開始信号として出力することにより、FIFOメモリから画像データの各ラインをデータ読出手段の一ライン周期に一回として繰り返し読み出す。

【0027】請求項5記載の発明は、データ読出手段の読出クロックを信号分周手段が数分の一に分周してから読出アドレスをインクリメントすることにより、FIFOメモリから画像データの各画素をデータ読出手段の一ライン周期中に繰り返し読み出す。

【0028】請求項6記載の発明は、読出カウンタのカウント値がデータ読出手段の読出開始信号でリセットされてデータ読出手段の読出クロックでインクリメントされると、この読出カウンタのカウント値と予め設定された数値とをカウンタ比較手段が比較して一致を検知するとデータ書込手段の書込開始信号を出力することにより、FIFOメモリのデータ読出がデータ書込に追いつかないように書込開始信号を適正に設定する。

【0029】請求項7記載の発明は、読出カウンタのカウント値と比較するカウンタ比較手段の数値を数値設定手段が可変自在に設定することにより、FIFOメモリのデータ読出とデータ書込との周波数や開始タイミングや位相などの変化に信号遅延手段を対応させることができる。

【0030】請求項8記載の発明は、FIFOメモリの書込周波数 $f_w \leq$ FIFOメモリの読出周波数 f_r の場合には、データ読出手段が画像データを一ラインの略中央まで読み出してからFIFOメモリのデータ書込を開始すると共に、データ読出手段が次の一ラインを端末まで読み出す以前にFIFOメモリのデータ書込を終了し、前記FIFOメモリの書込周波数 $f_w \geq$ 前記FIFOメモリの読出周波数 f_r の場合には、データ読出手段が画像データを一ラインの端末まで読み出してからFIFOメモリに一ラインの略半分の書込アドレスでデータ書込を開始すると共に、データ読出手段が次の一ラインを読み出す以前にFIFOメモリのデータ書込を開始することにより、ダブルコピーを実行する場合でもFIFOメモリのデータ読出がデータ書込に追いつかない条件を規定する。

【0031】

【実施例】本発明の一実施例を図面に基づいて以下に説明する。なお、本実施例でデータ処理装置として例示す

8

るデジタル複写機28に関し、データ処理装置の一従来例として前述したデジタル複写機1と同一の部分は、同一の名称と符号とを利用して詳細な説明は省略する。

【0032】まず、このデータ処理装置であるデジタル複写機28は、図1に例示するように、信号処理部29と画像印刷部4とを接続した構造となっており、前記信号処理部29は、データ書込手段であり書込リセット手段でもある画像入力部30と、FIFOメモリ31と、データ読出手段であり読出しリセット手段でもある印刷制御部32とを、順次接続した構造となっている。そして、この印刷制御部32と共に画像印刷部4の同期検知器27が位相可変手段である位相変更回路33に接続されており、この位相変更回路33が前記画像入力部30に接続されている。

【0033】ここで、このデジタル複写機28では、前記FIFOメモリ31は、ドットマトリクスの画像データの一ライン以上の記憶容量を具備しており、書込アドレスに対応したデータ書込と読出アドレスに対応したデータ読出とが同時に独立して実行されるようになってい。また、前記画像入力部30は、書込開始信号から所定周期の書込クロックで書込アドレスを順次インクリメントして前記FIFOメモリ31に画像データを書き込むようになっており、前記印刷制御部32は、前記画像入力部30とは独立した所定周期の読出クロックで読出開始信号から読出アドレスを順次インクリメントして前記FIFOメモリ31から画像データを読み出すようになっている。

【0034】より詳細には、前記FIFOメモリ31は、書き込まれる画像データDinの入力端子、読み出される画像データDoutの出力端子、書込イネーブル信号XWEの入力端子、読出イネーブル信号XREの入力端子、書込リセット信号XWRESの入力端子、読出しリセット信号XRRESの入力端子、書込クロックWCLKの入力端子、読出クロックRCLKの入力端子、書込アドレスをポイントする書込アドレスポインタ（図示せず）、読出アドレスをポイントする読出アドレスポインタ（図示せず）等を具備している。

【0035】なお、ここでは前記FIFOメモリ31の入力端子で先頭がXのものは、その信号がアクティブローであることを意味している。そして、書込アドレスポインタでポイントされる書込アドレスは、書込リセット信号XWRESにより“0”にリセットされ、書込イネーブル信号XWEがアクティブの場合に書込クロックWCLKでインクリメントされるようになっている。同様に、読出アドレスポインタでポイントされる読出アドレスは、読出しリセット信号XRRESにより“0”にリセットされ、読出イネーブル信号XREがアクティブの場合に読出クロックRCLKでインクリメントされるようになっている。

【0036】そこで、前記FIFOメモリ31に画像データが書き込まれる場合は、図4に例示するように、最

9

初に書き込みリセット信号XWRESFで書き込みアドレスがリセットされてから、書き込みイネーブル信号XWE がアクティブな状態で書き込みクロックWCLK (SCLK) がローからハイに遷移すると、前記FIFOメモリ31に書き込みアドレスで画像データが書き込まれる。そして、この書き込み動作を実行する毎に書き込みアドレスがインクリメントされるので、画像データはFIFOメモリ31に書き込みアドレス“0”から順番に書き込まれる。

【0037】また、前記FIFOメモリ31から画像データが読み出される場合は、最初に読出しリセット信号XRRESFで読出しアドレスがリセットされてから、読出しイネーブル信号XREFがアクティブな状態で読出しクロックRCLKがローからハイに遷移すると、前記FIFOメモリ31から読出しアドレスで画像データが読み出される。そして、この読出し動作を実行する毎に読出しアドレスがインクリメントされるので、画像データはFIFOメモリ31の読出しアドレス“0”から順番に読み出される。

【0038】つまり、このデジタル複写機28では、前記画像入力部30は、入力されるポリゴンモータ同期パルス信号XPMSYNCを書込みクロックとして画像データを前記FIFOメモリ31に書き込み、前記印刷制御部32は、同期検知パルス信号XDETPを読出しクロックとして前記FIFOメモリ31から画像データを読み出すが、このようなFIFOメモリ31のデータ書き込みとデータ読出とは、周期が相違したクロックで独立して実行されるので、これを無秩序に実行すると先行するデータ書き込みにデータ読出が追いついてエラーが発生することになる。

【0039】そこで、このデジタル複写機28では、前記画像入力部30のポリゴンモータ同期パルス信号XPMSYNCと、印刷制御部32の同期検知パルス信号XDETPとの位相を位相変更回路33で相対的に可変することで、先行するデータ書き込みにデータ読出が追いつくことが発生しないようになっている。

【0040】なお、このデジタル複写機28の画像入力部30は、ここでは画像読取部2にアンプ14やA/D C15を介して画像処理部16を接続したような構造となっており、図2に例示するように、前記FIFOメモリ31の書き込みクロックWCLKとなる入力画素クロックSCLKを発生するクロック発生回路34を具備している。さらに、この画像入力部30は、ポリゴンモータ同期パルス信号XPMSYNCの入力端子、前記FIFOメモリ31に書き込む画像データの出力端子、前記FIFOメモリ31の書き込みイネーブル信号XWEとなるXSLGATE信号の出力端子、前記FIFOメモリ31の書き込みリセット信号XWRESとなるXLSYNC信号の出力端子等を具備している。

【0041】また、このデジタル複写機28の印刷制御部32は、前記FIFOメモリ31から読み出す画像データの出力端子、前記FIFOメモリ31の読出しイネーブル信号XREとなるXREF信号の出力端子、前記FIFOメモリ31の読出しリセット信号XRRESとなるXRRESF信号

10

の出力端子、前記FIFOメモリ31の読出しクロックRCLKの出力端子、前記LD変調器19を介して前記画像印刷部4に画像データを伝送する出力端子、前記LD変調器19を介して前記画像印刷部4に画像データを伝送する印刷画素クロックPCLKの出力端子、読出し開始信号となる前記画像印刷部4の同期検知パルス信号XDETPの入力端子等を具備している。

【0042】そこで、このデジタル複写機28の各部の詳細な説明を、その作用と共に以下に順次説明する。まず、このデジタル複写機28の画像印刷部4では、ポリゴンミラー23の回転数は、

$$\text{回転数}(r/s) = \text{副走査画素密度}(\text{line/mm}) \times \text{線速}(\text{mm/s}) / \text{ポリゴン面数}$$

として設定されている。そこで、このようなポリゴンミラー23がLD20の出射光を偏向走査して主走査光を形成するが、この主走査光は感光ドラム26に入射する直前に同期検知器27に入射するので、この同期検知器27は受光に対応して印刷制御部32に同期検知パルス信号XDETPを出力する。つまり、この同期検知パルス信号XDETPは、画像印刷部4の一ラインの主走査毎に一回ずつ出力されることになり、その周期は画像印刷のライン周期と同一である。そこで、このライン周期は、 $\text{ライン周期}(s) = 1 / \{ \text{副走査画素密度}(\text{line/mm}) \times \text{線速}(\text{mm/s}) \}$

となる。そして、このようなライン周期で画像印刷部4が出力する同期検知パルス信号XDETPが、印刷制御部32に読出し開始信号として入力されることになる。

【0043】そこで、この印刷制御部32は、図3に例示するように、画像印刷部4から同期検知パルス信号XDETPが入力されるクロック同期回路35にクロック発生回路36が接続されており、このクロック発生回路36が印刷画素クロックPCLKを出力するようになっている。ここで、この印刷画素クロックPCLKはLD印刷周波数でもあり、

$$\text{LD印刷周波数(Hz)} = \text{主走査画素密度}(\text{dot/mm}) \times \text{主走査速度}(\text{mm/s})$$

$$= \text{有効印刷画素数}(\text{dot}) / \text{ライン周期}(s) / \text{有効走査期間率}$$

となる。なお、この有効走査期間率は、レーザプリンタの場合は通常70~80(%)である。そこで、この印刷制御部32では、上述のようにしてクロック発生回路36が発生する印刷画素クロックPCLKを、クロック同期回路35が同期検知パルス信号XDETPの入力タイミングに位相を同期させて出力する。なお、クロック発生回路36は、水晶やセラミックの発振器を利用しても良いが、PLL (Phase Locked Loop) 周波数シンセサイザを利用すれば周波数を可変できるので、画素密度や線速の変更に対応することができる。

【0044】また、図1に例示したように、画像印刷部4が出力する同期検知パルス信号XDETPは位相変更回路

11

33にも入力されるので、この位相変更回路33は、請求項1記載の発明の一実施例として、同期検知パルス信号 XDETPの周期は変更することなく位相を変更し、ポリゴンモータ同期パルス信号XPMSYNC として画像入力部30に出力する。

【0045】ここで、この画像入力部30は、クロック発生回路34が発生する入力画素クロックSCLKの入力画素周波数が、

入力画素周波数(Hz) \geq 有効画素数(dot)/ライン周期(s)/有効画像率

となる。なお、CCDセンサ13に存在する無効な素子のために発生する期間から算定されるが、この無効な期間は全体の数%しか必要でないので、有効画像率は100(%)に近くなる。そして、この画像入力部30では、入力されるポリゴンモータ同期パルス信号XPMSYNC を入力画素クロックSCLKに同期させ、CCDセンサ13にシフトパルスとして出力する。

【0046】そこで、このCCDセンサ13では、内蔵したシフトレジスタ(図示せず)がシフトパルスでリセットされ、無効なCCDに連続して有効なCCDで画像データを順次出力するので、この画像データは画像入力部30で各種処理を実行されてからFIFOメモリ31に書き込まれる。この時、この画像入力部30では、データ伝送が各種処理のために、副走査方向で数ライン、主走査方向で数十から数百ドット遅延するので、この遅延量に対応して有効な一画素目で XSLGATE信号がアクティブとなる。なお、この XSLGATE信号は、主走査方向の有効画像領域を示し、これがアクティブになる所定のクロック数前に主走査同期信号XLSYNCが出力される。そこで、上述のようにして画像入力部30からXSLGATE信号とXLSYNC信号とが入力されるFIFOメモリ31は、画像入力部30の入力画素クロックSCLKに同期した書込クロックWCLKに従って画像データを順次記憶することになる。

【0047】そこで、印刷制御部32は、上述のようにして画像入力部30からFIFOメモリ31に書き込まれた画像データを読み出してLD変調部19から画像印刷部4に伝送する機能と、FIFOメモリ31のデータ読出を制御する機能とを具備している。まず、図3に例示するように、前述のようにクロック発生回路36が発生する印刷画素クロックは、クロック同期回路35で画像印刷部4から入力される同期検知パルス信号 XDETPの入力タイミングに位相が同期されてPCLKとなり、XDETPはPCLKと同期されて所定のパルス幅のXDETP1信号となる。そこで、このクロック同期回路35が出力するXDETP1信号は、後述するセレクト回路37からXRRESF信号としてFIFOメモリ31に出力され、このFIFOメモリ31で読出しリセット信号XRRES となって読出アドレスをリセットすることになる。また、このクロック同期回路35が出力するXDETP1信号は、読出カウンタである主

12

走査カウンタ38や分周器39のリセット端子にも出力され、これら主走査カウンタ38や分周器39もリセットすることになる。

【0048】ここで、主走査カウンタ38は、XDETP1信号でリセットされてPCLKでインクリメントされるバイナリカウンタで、そのカウント値によりレーザビームの主走査位置が判明するようになっている。そして、この主走査カウンタ38は、一ラインの走査中にオーバーフローしないビット数を具備しているので、このビット数は、画像印刷部4が縦送りするA3サイズの印刷用紙に400dpiで画像を印刷するならば13ビットは必要である。

【0049】そして、この主走査カウンタ38には、各々が請求項2記載の発明の信号遅延手段である四個のコンパレータ40~43が接続されており、第一のコンパレータ40は、同期検知のためのLD20の強制駆動信号を発生するようになっている。そこで、この第一のコンパレータ40には、これに数値を可変自在に設定する数値設定手段であるCPU(Central Processing Unit)44がI/F(Interface)レジスタ45を介して接続されており、主走査カウンタ38のカウント値AとCPU44で可変自在に予め設定された数値Bとを比較し、この設定数値Bをカウント値Aが超過すると出力がアクティブとなる。そこで、この出力はBD(Beam Detect)信号として論理和手段である論理ゲート46で画像データと論理和され、この出力によってLD20は強制的に発光駆動される。

【0050】この時、このLD20の強制駆動のタイミングは、主走査光が有効印刷領域を通過してから次の主走査光が同期検知器27に到達する以前とする必要があり、フレアを防止する必要もあるので、通常は同期検知器27より数(mm)から数十(mm)ほど手前に設定する。そして、上述のようにして強制的に駆動されるLD20の主走査光が同期検知器27に入射すると、この同期検知器27が出力する同期検知パルス信号 XDETPがアクティブとなって主走査カウンタ38がリセットされる。そこで、この主走査カウンタ38はリセットされるとカウントを再開するので、このカウントは画像印刷部4のライン周期毎に繰り返されることになる。

【0051】また、本実施例のデジタル複写機28の第二のコンパレータ41は、画像データの印刷タイミングと有効印刷領域とを規定するために設けられており、CPU44で予め可変自在に設定される二つの数値C、D(C<D)と主走査カウンタ38のカウント値Aとを比較する。そして、このカウント値Aが設定数値Cを超過すると、出力信号XRGATEがアクティブとなり設定数値Dを超過するとネゲートとなる。この時、この出力信号XRGATEは反転信号であり、この反転とFIFOメモリ31から読み出される画像データとを論理積ゲート47で論理積することで、画像データが選択的にマスクされて有効印刷領域より外方の位置の画像データは遮断される。

13

つまり、設定数値Cにより画像データの主走査の開始位置が決定され、設定数値Cにより主走査の終了位置が決定されるので、これらの数値は印刷用紙の横幅や搬送位置により変更され、機械誤差の調整にも利用される。

【0052】そして、第二のコンパレータ41の出力信号XRGATEは、読出イネーブル信号XREとしてFIFOメモリ31に出力されるので、このFIFOメモリ31は、読出リセット信号XRRESで読出アドレスがリセットされてから、読出イネーブル信号XREがアクティブな状態で読出クロックRCLKがローからハイに移移すると、読出アドレスの先頭から順番に画像データが読み出される。

【0053】また、請求項3及び6記載の発明の信号遅延手段である第三のコンパレータ42は、同一画像を主走査方向に並列に印刷するダブルコピーを実現するために設けられており、CPU44で予め可変自在に設定される数値Eと主走査カウンタ38のカウント値Aとを比較し、このカウント値Aが設定数値Eに一致すると第三のコンパレータ42はパルス信号を遅延した読出開始信号として出力する。そこで、この第三のコンパレータ42のパルス信号は同期検知パルス信号XDTP1と論理和ゲート48で論理和され、この論理和ゲート48の出力信号がCPU44で制御されるセクタ回路37に同期検知パルス信号XDTP1と共に出力される。

【0054】そこで、このデジタル複写機28では、ノーマルコピーを実行する場合には、CPU44の制御でセクタ回路37が同期検知パルス信号XDTP1を選択し、ダブルコピーを実行する場合には、CPU44の制御でセクタ回路37が論理和ゲート48の出力信号を選択する。そして、この出力信号をFIFOメモリ31の読出リセット信号XRRESとして読出アドレスをリセットすることで、図5に例示するように、画像印刷部4のライン周期に二回ずつFIFOメモリ31の読出アドレスがリセットされて画像データの各ラインが二回ずつ読み出される。

【0055】このようにすることで、このデジタル複写機28では、簡易な構成でダブルコピーを実現することができ、このような場合にもFIFOメモリ31のデータ書込がデータ読出に追い着くようなことはない。なお、第三のコンパレータ42の設定数値Eは、印刷画像を主走査方向に並列に配置するために印刷用紙の中央を検知できるよう設定されるので、画像印刷部4の用紙搬送機構(図示せず)がセンタ基準であるならば印刷用紙のサイズとは無関係に固定的に設定される。また、このような設定数値Eを二つ以上とすることで、三つ以上の画像を主走査方向に連続印刷することもできる。

【0056】また、本実施例のデジタル複写機28の第三のコンパレータ42は、請求項2及び3記載の発明の信号遅延手段を請求項6記載の構成として実現したものであるが、この信号遅延手段はカウンタなどの一般的な

14

遅延回路でも実現可能である。

【0057】同様に、本実施例のデジタル複写機28の第四のコンパレータ43は、請求項2記載の発明の信号遅延手段を請求項6記載の構成として実現したものであり、CPU44で可変自在に予め設定される数値Fと主走査カウンタ38のカウント値とを比較し、これが一致するとパルス信号を遅延した読出開始信号として出力する。そこで、この第四のコンパレータ43のパルス信号は、請求項4記載の発明のカウンタ手段である間引回路49に出力され、CPU44で可変自在に予め設定された数回に一回のみ、書込開始信号であるポリゴンモータ同期パルス信号XPMSYNCとして画像入力部30に入力される。

【0058】例えば、第四のコンパレータ43のパルス信号をポリゴンモータ同期パルス信号XPMSYNCとして間引回路49で二回に一回のみ画像入力部30に出力する場合、図6に例示するように、この画像入力部30がFIFOメモリ31に書き込む画像データのライン数の二倍のライン数の画像データを画像印刷部4が印刷出力することになる。このようにすることで、この画像印刷部4は、画像データの各ラインを二回ずつ印刷出力することになるので、これはポリゴンミラー23の回転速度を下限速度より低下させることなく印刷密度を低下させることや、ドット直径を変更することなく副走査密度を向上させるようなことに、利用可能である。

【0059】なお、このデジタル複写機28では、上述のようなコンパレータ40～43の設定数値A～FをCPU44で可変自在に設定することができるので、FIFOメモリ31のデータ読出とデータ書込との周波数や開始タイミングや位相などの変化に簡易に対応することができる。

【0060】また、本実施例のデジタル複写機28の分周器39は、請求項5記載の発明の信号分周手段であり、この印刷制御部32の読出クロックCLKをCPU44で可変自在に予め設定された数分の一に分周する。そこで、この分周された読出クロックRCLKがFIFOメモリ31に出力されるので、このFIFOメモリ31は、印刷制御部32の読出クロックRCLKに同期してインクリメントされる読出アドレスから画像データが順次読み出される。なお、この分周器39は、同期検知パルス信号XDTP1がリセット端子に入力されるようになっているので、分周した読出クロックRCLKの位相をライン毎に調整するようになっている。

【0061】例えば、分周器39が読出クロックRCLKを二分の一に分周すると、通常の二倍の周期でFIFOメモリ31から画像データが読み出されるので、この読み出される画像データの一画素を画像印刷部4が主走査方向に連続した二画素として印刷出力されることになる。このようにすることで、この画像印刷部4は、画像データの各画素を主走査方向に二倍に印刷出力することにな

15

るので、これはクロック周波数を下限速度より低下させることなく印刷密度を低下させることや、ドット直径を変更することなく主走査密度を向上させるようなことに利用可能である。

【0062】ここで、このデジタル複写機28において、FIFOメモリ31の画像データのアドレスを縦軸として画像印刷部4の画像印刷の主走査位置を横軸としたグラフをタイムチャートと共に特性図として図7に例示する。なお、このグラフの横軸の一周期Tは、画像印刷部4のライン周期に相当し、これは副走査方向の画素密度と線速とで決定される。また、このグラフの縦軸の最大値APmax は、主走査方向の画素密度で決定され、 $APmax = \text{主走査画素密度} \times \text{主走査有効印刷領域幅}$ として表現される。なお、このグラフでは、破線はFIFOメモリ31に書き込む画像データの書込アドレスを意味しており、実線はFIFOメモリ31から読み出す画像データの読出アドレスを意味している。また、この読出アドレスは、最小サイズの印刷用紙の場合と、最大サイズの印刷用紙の場合と、最大サイズの印刷用紙にダブルコピーを実行する場合となっている。さらに、このグラフでは、データ書込の書込クロックWCLKとデータ読出の読出クロックXRE との周波数が相違する場合を例示している。

【0063】そこで、このデジタル複写機28において、印刷制御部32がFIFOメモリ31から画像データを読み出す場合は、最初に読出リセット信号XRRES で読出アドレスをリセットしてから、読出イネーブル信号XRE がアクティブな状態で読出クロックRCLKに従って読出アドレスで画像データを読み出し、この読出動作を実行する毎に読出アドレスをインクリメントする。

【0064】ここで、読出イネーブル信号XRE は、印刷用紙の主走査方向幅に対応して開始と終了とのタイミングが制御されるので、印刷用紙が最大サイズの場合には、有効走査期間の最初にアクティブとなって最後にネグートとなり、この時点の読出アドレスは最大値APmax である。また、印刷用紙が最小サイズの場合には、主走査動作と感光ドラム26との中央が一致するようアクティブとネグートとのタイミングが調整され、この時点の読出アドレスは最大値APmax より以前の所定位置である。また、ダブルコピーの場合には、感光ドラム26の中央位置を走査する時点で読出リセット信号XRRES を出力してFIFOメモリ31の読出アドレスをリセットするので、この時点の読出アドレスは通常の最大値APmax の半分である。

【0065】そして、このデジタル複写機28において、図7に例示したグラフでは、書込クロックWCLKの周波数が最低で画像入力部30の有効画像率が100(%)に近い場合となっているので、これは①として例示するように、書込アドレスの図示の傾斜が最も緩慢となっている。つまり、この書込アドレスの傾斜は書込周波数fwと

16

読出周波数frとの比率で決定されるので、例えば、これら書込周波数fwと読出周波数frとが同一の場合②や、書込周波数fwが読出周波数frを超過する場合③では、図示するように書込アドレスの傾斜は順次増大する。

【0066】そして、このデジタル複写機28において、FIFOメモリ31に画像データが書き込まれる場合は、最初に書込リセット信号XWRES で書込アドレスがリセットされてから書込イネーブル信号XWE がアクティブな状態で書込クロックWCLKに従ってFIFOメモリ31に書込アドレスで画像データが書き込まれ、この書込動作を実行する毎に書込アドレスがインクリメントされる。

【0067】ここで、書込イネーブル信号XWE は、読出イネーブル信号XRE のように用紙幅に対応して開始や終了のタイミングが制御されることはなく、最大画像の期間だけアクティブとなる。つまり、書込イネーブル信号XWE は、書込リセット信号XWRES の出力後に予め設定された数クロックから数十クロックの期間後にアクティブとなり、最大画像の書込クロックWCLKの出力後にネグートとなるので、この時点での書込アドレスは最大値APmax である。

【0068】そして、上述のようなFIFOメモリ31のデータ書込とデータ読出とをアドレスで表現すると図7のグラフとなるので、このグラフにおいて書込アドレスの破線と読出アドレスの実線とが交差しなければ、同時に独立して実行するデータ書込とデータ読出とが干渉しないことになる。そこで、同図から容易に確認できるように、書込リセット信号XWRES の出力タイミングを適正に調整することで、書込クロックWCLKの書込周波数fwとは無関係に、FIFOメモリ31のデータ書込にデータ読出が追いつくことを防止できる。

【0069】ここで、このデジタル複写機28において、請求項8記載の発明の一実施例として、上述のようなことを実現する各種条件を具体的に例示する。なお、ここでは印刷用紙として各種サイズを利用できると、ダブルコピーを実行できることを考慮するので、これが不要な場合には条件も変化する。

【0070】まず、書込周波数fw≦読出周波数frの場合には、

1. 印刷制御部32が画像データを一ラインの略中央まで読み出してからFIFOメモリ31のデータ書込を開始し、
2. 印刷制御部32が次の一ラインを終端まで読み出す以前にFIFOメモリ31のデータ書込を終了する。

【0071】また、書込周波数fw≧読出周波数frの場合には、

3. 印刷制御部32が画像データを一ラインの終端まで読み出してからFIFOメモリに一ラインの略半分の書込アドレスでデータ書込を開始し、
4. 印刷制御部32が次の一ラインを読み出す以前にF

17

I F Oメモリ31のデータ書込を開始する。

【0072】そこで、上述した1～4の条件を満足するように書込リセット信号XWRESの出力タイミングを適正に調整すれば、F I F Oメモリ31のデータ書込にデータ読出が迫り着くことを防止できる。

【0073】そこで、上述のような条件を実現する具体的な内容を以下に順次詳述する。まず、書込周波数 $f_w \leq$ 読出周波数 f_r の場合は、図7のグラフで①として例示したように、書込アドレスは読出アドレスより傾斜が緩慢となるので、この書込アドレスは読出アドレスに交差しやすくなる。しかし、このような場合でも、F I F Oメモリ31のデータ書込を、直前のダブルコピーの二回目のデータ読出の開始より以後に開始し、次のラインのデータ読出の終了より以前に終了すれば、データ書込がデータ読出に干渉することはない。例えば、書込周波数 f_w が最低の場合、図7のグラフで①のように書込アドレスの傾斜は緩慢であるが、この場合でもライン周期の略三分の一をマージンとして確保することができ、このマージンは書込周波数 f_w が向上すると増加する。

【0074】また、書込周波数 $f_w \geq$ 読出周波数 f_r の場合は、図7のグラフで③として例示したように、書込アドレスは読出アドレスより傾斜が急激となるので、この書込アドレスは読出アドレスに交差しやすくなる。そして、このような状態でダブルコピーを実行するならば、二回目のデータ読出の終了時の読出アドレスはラインの半分であるので、このアドレスでのデータ書込は上述した時点より以後に実行する必要がある。つまり、F I F Oメモリ31のラインの終端のデータ読出を実行している時点では、データ書込は開始していないか、ラインの半分以下の書込アドレスで実行しているならば問題はなく、また、次のラインの先端のデータ読出を開始する以前にデータ書込を開始するならば問題はない。

【0075】なお、実際にはF I F Oメモリ31のデータ書込からデータ読出までは若干の時間を必要とするので、これを考慮する必要はあるが、この範囲は少なくとも無効走査期間より長く、データ書込の開始タイミングにはマージンを十分に確保することができる。

【0076】また、書込周波数 $f_w =$ 読出周波数 f_r の場合は、図7のグラフで②として例示したように、書込アドレスと読出アドレスとの傾斜が一致するので、この書込アドレスと読出アドレスとは交差しにくいことになる。そして、このような場合には、上述した“ $f_w \leq f_r$ ”と“ $f_w \geq f_r$ ”との両方の条件を満足することが最適であるが、ダブルコピーを実行しないならばデータ書込とデータ読出との開始時間が相違しているだけで良い。また、ダブルコピーを実行する場合には、F I F Oメモリ31のデータ書込の開始を、直前のラインの二回目のデータ読出の開始位置から次のラインデータ読出の開始位置までに実行すれば良い。

18

【0077】なお、本実施例ではデータ処理装置としてデジタル複写機28を例示し、CCDセンサ13で光学入力する画像データをF I F Oメモリ31にデータ書込する画像入力部30をデータ書込手段として例示し、F I F Oメモリ31からデータ読み出す画像データを画像印刷部4で印刷出力する印刷制御部32をデータ読出手段として例示したが、本発明は上記実施例に限定されるものではない。例えば、ホストコンピュータから受信する画像データをF I F Oメモリにデータ書込するデータ書込手段や、F I F Oメモリからデータ読み出す画像データをディスプレイで表示出力するデータ読出手段を具備したD T P (Desk Top Publishing) システムなどもデータ処理装置として実現可能である。

【0078】

【発明の効果】請求項1記載の発明は、ドットマトリクスの画像データのライン以上の記憶容量を具備して書込アドレスに対応したデータ書込と読出アドレスに対応したデータ読出とが同時に独立して実行されるF I F Oメモリと、書込開始信号から所定周期の書込クロックで書込アドレスを順次インクリメントして前記F I F Oメモリに画像データを書き込むデータ書込手段と、このデータ書込手段とは独立した所定周期の読出クロックで読出開始信号から読出アドレスを順次インクリメントして前記F I F Oメモリから画像データを読み出すデータ読出手段とを具備したデータ処理装置において、前記データ書込手段の書込クロックと前記データ読出手段の読出クロックとの位相を相対的に可変する位相可変手段を設けたことにより、F I F Oメモリのデータ読出がデータ書込に迫り着かないようにすることができ、このようなことを実現するために二ラインの画像データが一ラインずつ書き込まれる二系統としてF I F Oメモリを形成する必要がないので、簡易な構造で実用的なデータ処理装置を得ることができる等の効果を有するものである。

【0079】請求項2記載の発明は、ドットマトリクスの画像データのライン以上の記憶容量を具備して書込アドレスに対応したデータ書込と読出アドレスに対応したデータ読出とが同時に独立して実行されるF I F Oメモリと、書込開始信号から所定周期の書込クロックで書込アドレスを順次インクリメントして前記F I F Oメモリに画像データをラインずつ書き込むデータ書込手段と、このデータ書込手段とは独立した所定周期の読出クロックで読出開始信号から読出アドレスを順次インクリメントして前記F I F Oメモリから画像データをラインずつ読み出すデータ読出手段とを具備したデータ処理装置において、前記F I F Oメモリの書込アドレスをリセットする書込リセット信号を前記データ書込手段の書込開始信号に基づいて出力する書込リセット手段を設け、前記F I F Oメモリの読出アドレスをリセットする読出リセット信号を前記データ読出手段の読出開始信号に基づいて出力する読出リセット手段を設け、前記デー

19

タ読出手段の読出開始信号を遅延させて前記データ書込手段の書込開始信号として出力する信号遅延手段を設けたことにより、FIFOメモリのデータ読出がデータ書込に追いつかないようにすることができ、このようなことを実現するために二ラインの画像データが一ラインずつ書き込まれる二系統としてFIFOメモリを形成する必要がないので、簡易な構造で実用的なデータ処理装置を得ることができる等の効果を有するものである。

【0080】請求項3記載の発明は、請求項2記載の発明において、データ読出手段の読出開始信号と信号遅延手段が遅延させた読出開始信号との論理和を読出しセット信号としてFIFOメモリに出力する論理和手段を設けたことにより、論理和した読出開始信号の個数だけFIFOメモリから画像データの各ラインをデータ読出手段の一ライン周期中に繰り返し読み出すことができるので、同一画像を主走査方向に連続印刷するダブルコピーなどを簡易に実現することができる等の効果を有するものである。

【0081】請求項4記載の発明は、請求項2記載の発明において、信号遅延手段が遅延させた読出開始信号を予め設定された数回に一回のみデータ書込手段の書込開始信号として出力するカウンタ手段を設けたことにより、FIFOメモリから画像データの各ラインをデータ読出手段の一ライン周期に一回として繰り返し読み出すことができるので、簡易な構造で画像印刷の副走査密度を向上させることができる等の効果を有するものである。

【0082】請求項5記載の発明は、請求項2記載の発明において、データ読出手段の読出クロックを数分の一に分周してから読出アドレスをインクリメントする信号分周手段を設けたことにより、FIFOメモリから画像データの各画素をデータ読出手段の一ライン周期中に繰り返し読み出すことができるので、簡易な構造で画像印刷の主走査密度を向上させることができる等の効果を有するものである。

【0083】請求項6記載の発明は、請求項2、3、4又は5記載の発明において、データ読出手段の読出開始信号でリセットされて前記データ読出手段の読出クロックでカウンタ値がインクリメントされる読出カウンタを設け、予め所定の数値が可変自在に設定される数値設定手段を設け、この数値設定手段の数値と前記読出カウンタのカウンタ値とを比較して一致を検知するとデータ書込手段の書込開始信号を出力するカウンタ比較手段を設け、このカウンタ比較手段と前記読出カウンタとで信号遅延手段を形成したことにより、この信号遅延手段でFIFOメモリのデータ読出がデータ書込に追いつかないように書込開始信号を適正に設定することができ、この信号遅延手段を簡易かつ実用的な構造で形成することができる等の効果を有するものである。

【0084】請求項7記載の発明は、請求項6記載の発

20

明において、読出カウンタのカウンタ値と比較するカウンタ比較手段の数値を可変自在に設定する数値設定手段を設けたことにより、FIFOメモリのデータ読出とデータ書込との周波数や開始タイミングや位相などの変化に信号遅延手段を対応させることができるので、信号遅延手段の汎用性の向上に寄与することができる等の効果を有するものである。

【0085】請求項8記載の発明は、請求項2記載の発明において、FIFOメモリの書込周波数 f_w ≦前記FIFOメモリの読出周波数 f_r の場合には、データ読出手段が画像データを一ラインの略中央まで読み出してからFIFOメモリのデータ書込を開始すると共に、データ読出手段が次の一ラインを終端まで読み出す以前にFIFOメモリのデータ書込を終了し、前記FIFOメモリの書込周波数 f_w ≧前記FIFOメモリの読出周波数 f_r の場合には、データ読出手段が画像データを一ラインの終端まで読み出してからFIFOメモリに一ラインの略半分の書込アドレスでデータ書込を開始すると共に、データ読出手段が次の一ラインを読み出す以前にFIFOメモリのデータ書込を開始するように、信号遅延手段の遅延時間を設定したことにより、ダブルコピーを実行する場合でもFIFOメモリのデータ読出がデータ書込に追いつかない条件を規定することができるので、各種の条件に対応してデータ処理装置を簡易に実現することができる等の効果を有するものである。

【図面の簡単な説明】

【図1】本発明のデータ処理装置の一実施例であるデジタル複写機を例示するブロック図である。

【図2】データ書込手段である画像入力部を例示するブロック図である。

【図3】データ読出手段である印刷制御部を例示するブロック図である。

【図4】デジタル複写機でノーマルコピーを実行する場合の各種信号を例示するタイムチャートである。

【図5】ダブルコピーを実行する場合の各種信号を例示するタイムチャートである。

【図6】副走査密度を向上させる場合の各種信号を例示するタイムチャートである。

【図7】書込アドレスと読出アドレスとの遷移を表現したグラフを各種信号のタイムチャートと共に例示する特性図である。

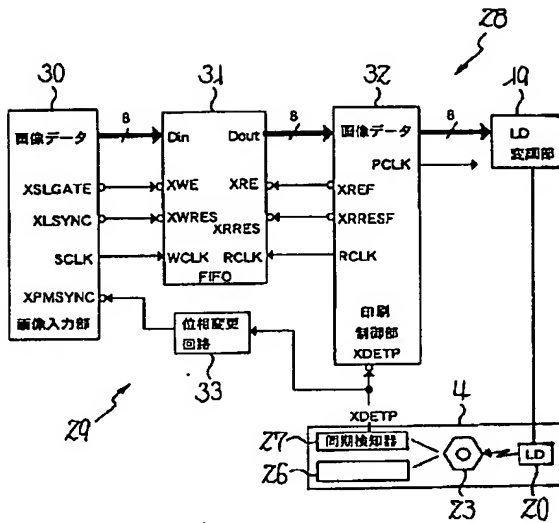
【図8】データ処理装置の一従来例であるデジタル複写機の内部機構とブロック構造とを例示する模式図である。

【符号の説明】

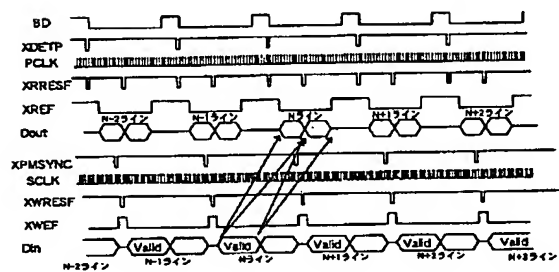
28	データ処理装置
30	データ書込手段、書込リセット手段
31	FIFOメモリ
32	データ読出手段、読出しセット手段

- 段
- 33 位相可変手段
- 38 読出カウンタ
- 39 信号分周手段
- 40~43 信号遅延手段、カウント比較手

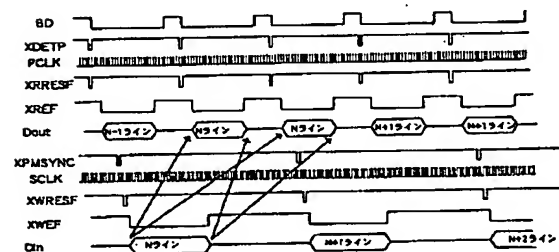
【図1】



【図5】



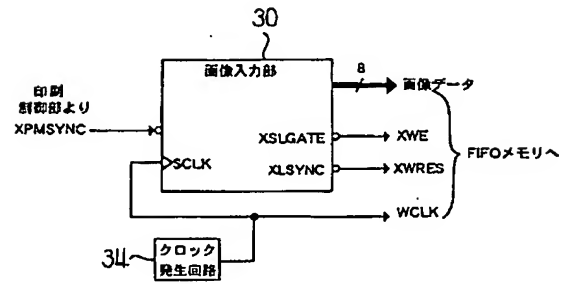
【図6】



- 段、信号遅延手段

- 46 論理和手段
- 45 数値設定手段
- 49 カウンタ手段

【図2】



【図3】

